

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031145

(43)Date of publication of application : 28.01.2000

(51)Int.Cl.

H01L 21/3205

C25D 7/12

H01L 21/288

H01L 21/768

H01L 27/00

(21)Application number : 10-194348

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.07.1998

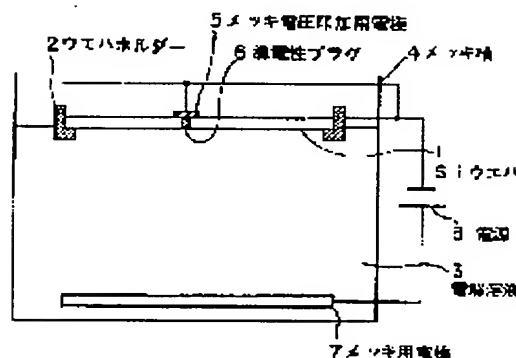
(72)Inventor : KAJITA AKIHIRO
MATSUNAGA NORIAKI
MATSUNO TADASHI
EMU BII ANANDO
MATSUDA TETSURO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To deposit wirings by imparting uniform potential on the surface of a substrate to be processed, without substantially increasing the process time.

SOLUTION: In this manufacturing method, a plurality of conductive plugs 6, which penetrate into the thickness direction of the substrate in an Si wafer 1, is formed. A seed layer is formed with a conductive material on the side of the Si wafer 1. A voltage is applied to the conductive plug 6 through the back surface of the Si wafer 1 from a power supply 8. Thus, the surface of the seed layer is maintained at a uniform potential, and Cu film is deposited on the surface of the seed layer by electrolytic plating method.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-31145
(P2000-31145A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 21/3205		H 0 1 L 21/88	B 4 K 0 2 4
C 2 5 D 7/12		C 2 5 D 7/12	4 M 1 0 4
H 0 1 L 21/288		H 0 1 L 21/288	E 5 F 0 3 3
21/768		27/00	3 0 1 B
27/00	3 0 1	21/90	A
審査請求 未請求 請求項の数 3 O L (全 7 頁)			

(21) 出願番号 特願平10-194348
(22) 出願日 平成10年7月9日 (1998.7.9)

(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72) 発明者 梶田 明弘
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72) 発明者 松永 範昭
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(74) 代理人 100058479
弁理士 鈴江 武彦 (外6名)

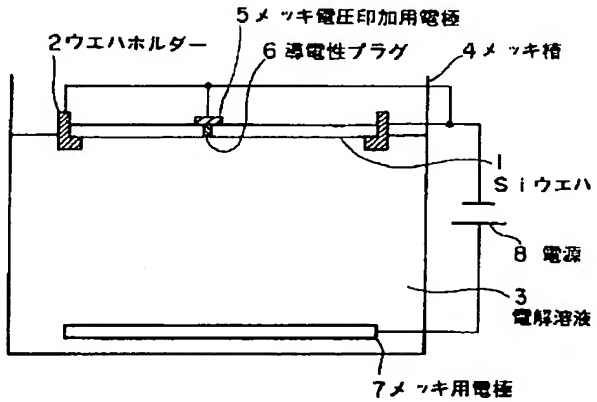
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 工程時間を大幅に増加することなく被加工基板表面に均一な電位を与えて配線を堆積する。

【解決手段】 S i ウェハ 1 内の基板厚さ方向に貫通する複数の導電性プラグ 6 を形成し、S i ウェハ 1 の主面側に導電性材料によりシード層を形成し、導電性プラグ 6 に S i ウェハ 1 の裏面から電源 8 より電圧を印加することによりシード層表面を均一な電位に保持してシード層表面に C u 膜を電解メッキ法により堆積する。



【特許請求の範囲】

【請求項 1】 半導体基板内に基板厚さ方向に貫通する複数の導電性プラグを形成する工程と、前記半導体基板の主面側に前記導電性プラグに導通する導電層を形成する工程と、前記半導体基板の裏面側から前記導電性プラグを介して前記導電層に電圧を供給することにより該導電層上に導電性薄膜を電解メッキ法により形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 前記導電層を前記半導体基板の主面側であって溝及び穴が設けられた層間絶縁膜の上に形成し、前記電解メッキ法により前記溝及び穴を含めて前記導電性薄膜を形成し、次いで前記導電性薄膜を前記層間絶縁膜が露出するまで平坦化して前記溝及び穴以外に形成された前記導電性薄膜を除去して埋め込み型配線構造を形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 請求項 1 に記載の製造方法を用いて半導体装置を複数形成し、前記導電性プラグを使用してこれら複数の半導体装置間を接続して垂直積層集積回路を形成することを特徴とする垂直積層型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に用いられる多層配線を形成する半導体装置の製造方法に関し、埋め込み型金属配線や高アスペクトのビアプラグを電解メッキ法を用いて形成する場合に使用されるものである。

【0002】

【従来の技術】半導体装置の微細化と高集積化に伴って、これに用いられる金属配線もまた微細化と多層化が進行している。この微細金属配線材料として従来は A1 合金が用いられてきたが、微細化に伴う配線抵抗の増大や動作電流密度の増大によるエレクトロマイグレーション耐性の劣化が問題となってきた。また、このような A1 合金配線層間を電気的に接続するための金属プラグ（ビアプラグ）は、従来は CVD 法によって W 等の高融点金属をビアホールへ埋め込むことにより形成されてきたが、ビア抵抗の低減のために電気抵抗率のより低い金属材料を用いて形成することが望まれている。

【0003】そこで近年、多層配線材料として Cu が注目されており、Cu 配線を用いた場合の半導体装置の高機能化については、例えば IEEE International Electron Devices Meeting, Technical Digest (1993) p. 261 に記載の J. Paraszczakらの論文に CPU サイクル時間を短縮できることが示されている。しかしながら、A1 多層配線から Cu 多層配線へ移行するためには、解決しなければならない多くの技術課題が存在する。Cu は A1 と比較してハロゲン化合物の室温での飽和蒸気圧が低いた

め、反応性イオンエッチング (RIE) 法を用いた微細配線形状への加工が困難である。

【0004】そこで、Cu 多層配線ではデュアルダマシンプ法と呼ばれる配線形成方法が一般に検討されている。これは、絶縁膜に配線用溝と接続孔（ビアホール）を形成し、これらに Cu を埋め込み、化学的機械研磨 (CMP) 法による平坦化を行って、埋め込み配線とビアプラグを形成するものであり、参考文献としては Proceedings VLSI Multilevel Interconnection Conference (1997) p. 75 に記載の Y. Morandらの論文などが挙げられる。

【0005】ところで、半導体装置の高集積化につれて配線幅とビアホール径は微細化し、またビアホールのアスペクト比は増大するため、前述のデュアルダマシンプ法における Cu 埋め込みでは段差被覆性の高い Cu 成膜技術が必要とされる。この成膜技術としては、高い指向性を有するスパッタリング法、Cu の有機金属化合物を原料ガスとする CVD 法、電解メッキ法、無電解メッキ法等が検討されている。この中で電解メッキ法は低コスト、高い生産性、良好な段差被覆性を有し、Cu 多層配線形成手段として有力な候補となっている。

【0006】電解メッキ法では、硫酸銅等の電解液に被メッキ物であるウェハを浸漬し、ウェハ表面が陰極に、ウェハ表面と対向して電解液中におかれた電極が陽極になるように電圧を印加してウェハ表面に Cu を析出させる。この時、ウェハへの電圧印加は一般的にウェハ周縁部に電源端子を接触させることにより行われる。このため被メッキ面を等電位とするためにウェハ表面が導電性である必要があるが、前述のデュアルダマシンプ構造ではウェハ表面が絶縁膜であるため、電解メッキを行うためには導電層をウェハ表面に予め形成しておく必要がある。

【0007】そこで、Proceedings VLSI Multilevel Interconnection Conference (1997) p. 69 に記載の V. M. Dubinらの論文に示されているように、従来はデュアルダマシンプ構造の溝と穴を形成した後、Ta 薄膜を密着層としてスパッタリング法により堆積し、引き続き 50～100 nm の Cu 薄膜を上記電解メッキ用の低抵抗導電層（シード層）としてスパッタリング法で堆積した後、電解メッキ工程に供している。

【0008】しかしながら、将来の高性能半導体装置においては、配線幅およびビア径が 150 nm 以下となることが予想され、上述のような 50～100 nm のスパッタ Cu 膜を配線溝側面やビアホール側面に堆積することが不可能となる。そこで、シード層としての Cu 膜を薄くする必要があるが、シード層の薄膜化に伴ってウェハ表面の電気抵抗が増大し、電圧印加部であるウェハ周縁部からの距離に依存してウェハ表面の電位分布の不均一性が生じる。この従来の電解メッキ法の問題点を図 5 の等価回路を用いて説明する。

【0009】図5に示すように、表面にシード層28の形成されたSiウェハ1はウェハホルダー2にウェハ1表面を下にしてその周縁部が保持される。このウェハホルダー2に保持されたSiウェハ1を電解溶液3を満たしたメッキ槽4に浸漬する。メッキ槽4にはウェハ1表面と対向してメッキ用電極7を設置する。ウェハホルダー2とメッキ用電極7を電源8を介して結線し、Siウェハ1を陰極に、メッキ用電極7を陽極として電解メッキを行い、導電性薄膜としてCu膜をシード層28上に形成する。ここで、素子の微細化に伴うシード層28の薄膜化により、Siウェハ1上の抵抗R1が電解液の抵抗R0と比較して無視できなくなると、B点を流れる電流はA点を流れる電流に比べ小さくなり、B点のCu析出量がA点よりも少なくなる。すなわちウェハ1面内で電圧印加部からの距離が遠くなるにつれてメッキされるCu膜厚が薄くなり、膜厚均一性が悪くなる。したがって、図5のようにウェハ1周縁部にメッキ用給電部を設ける従来の方法においては、微細配線および微細ビアホールにCuを埋め込むためにシード層28を薄膜化する必要があるが、ウェハ1面内の膜厚均一性の確保が困難となる問題点がある。

【0010】この問題点を解決するために、予めウェハ表面に網目状の導電層を形成する方法が特開平7-18499号公報に開示されている。この方法によれば、電圧印加端子がウェハ周縁部にある場合においても、上記シード層とは別に設けた低抵抗の網目状導電層を介してシード層に均一な電位を与えることができるため、Cu良好なメッキ膜厚均一性を得ることが可能と考えられる。しかしながら、多層配線構造をこの方法で形成する場合においては、1層の配線層を形成する度に上記網目状導電層をパターンニング形成しなければならず、リソグラフィ工程数とエッチング工程数が従来の2倍となり、工程時間と工程費が増大してしまうという問題点がある。

【0011】

【発明が解決しようとする課題】上述したように、従来の電解メッキ法による配線の形成方法において、絶縁物が表面を覆う半導体基板に電圧を与えるためには導電性材料からなるシード層を形成する必要がある。半導体装置の高集積化にともない、シード層の薄膜化が要求されるが、薄膜化とともに、導電層表面の電気抵抗が増大し、また基板表面の電位分布が生じる。

【0012】この問題点を解決すべく、半導体基板の表面に網目状導電層を形成する方法が考えられ、これにより導電層表面に均一な電位を与えることができるが、工程時間と工程費が大幅に増大する。

【0013】本発明は上記課題を解決するためになされたもので、その目的とするところは、工程時間を大幅に増加することなく半導体基板表面に均一な電圧を与えて導電性薄膜を形成することができる半導体装置の製造方

法を提供することにある。

【0014】

【課題を解決するための手段】本発明に係る半導体装置の製造方法は、半導体基板内に基板厚さ方向に貫通する複数の導電性プラグを形成する工程と、前記半導体基板の主面側に前記導電性プラグに導通する導電層を形成する工程と、前記半導体基板の裏面側から前記導電性プラグを介して前記導電層に電圧を供給することにより該導電層上に導電性薄膜を電解メッキ法により形成する工程とを含むことを特徴とする。

【0015】ここで、導電性プラグを形成する工程と、導電層を形成する工程は、いずれの工程を先に行ってもよい。本発明の望ましい形態を以下に示す。

(1) 導電層を半導体基板の主面側であって溝及び穴が設けられた層間絶縁膜の上に形成し、電解メッキ法により溝及び穴を含めて導電性薄膜を形成し、次いで導電性薄膜を層間絶縁膜が露出するまで平坦化して溝及び穴以外に形成された導電性薄膜を除去して埋め込み型配線構造を形成する。

(2) 導電性薄膜の材料としてCuを用いる。

【0016】また、本発明に係る垂直積層型半導体装置の製造方法は、請求項1に記載の製造方法を用いて半導体装置を複数形成し、前記導電性プラグを使用してこれら複数の半導体装置間を接続して垂直積層集積回路を形成する。

【0017】(作用) 本発明では、電解メッキにより導電性薄膜を形成すべき半導体基板に、その基板厚さ方向に貫通する導電性プラグを形成し、このプラグを介して電圧を印加する。これにより、半導体基板周縁部からのみ電圧を印加する従来の手法と異なり半導体基板内の任意の位置に複数個電圧の印加点を設けることができ、電解メッキ時の半導体基板表面での導電層の電位分布の不均一性を小さくすることができ、均一性が良好な段差被覆性の優れた導電性薄膜を形成することが可能となる。また、半導体基板裏面側から電圧を印加するため、半導体基板表面に電圧印加用の給電用治具の端子を接触させる必要がなく、パーティクルやダストなどによる半導体基板表面の汚染が防止できる。

【0018】また、低抵抗でストレスマイグレーションやエレクトロマイグレーション耐性に優れたCu薄膜を用いて、埋め込み型多層配線を形成することが可能となるため、高性能かつ信頼性の優れた半導体装置を製造することができる。

【0019】また、電圧印加点として用いられる導電性プラグを半導体チップ間接続プラグとして使用することにより、新たに接続プラグを形成するための工程が不要となり、集積規模の増大や異種半導体装置の混載が可能な垂直積層集積回路を容易に形成することが可能となる。

【0020】

【発明の実施の形態】以下、図面を参照しながら本発明の実施形態を説明する。

（第1実施形態）図1～図3は本発明の第1実施形態に係る半導体装置の製造方法を説明するための図であり、図1は本実施形態に係るCu薄膜の電解メッキ法を説明するための図、図2及び図3は本実施形態に係る半導体装置の製造方法を示す工程断面図である。

【0021】以下、Cu薄膜の電解メッキ法による形成方法を図1を用いて説明する。図1に示すように、電解メッキによりCu薄膜を形成すべきSiウエハ1はリング状のウエハホルダー2（メッキ電圧印加電極を兼ねる）にそのウエハ1表面、すなわち配線等が形成される側を下にしてその周縁部が保持される。このウエハホルダー2に保持されたSiウエハ1を、電解溶液3を満たしたメッキ槽4に浸漬する。電解溶液3は硫酸銅溶液を用いる。Siウエハ1にはその裏面、すなわち図1におけるウエハ1上面にメッキ電圧印加用電極5と、これに電気的に接続されウエハ1を貫通してウエハ1表面に電圧を供給する導電性プラグ6を複数個（図中では1個のみ図示）形成しておく。またウエハ1表面にはメッキ電圧印加用電極5と導電性プラグ6を形成した後、膜厚5nmの電解メッキシード層であるCu薄膜（図示せず）をスパッタリング法を用いて形成しておく。メッキ槽4にはウエハ1表面と対向するようにメッキ用電極7を設置する。各メッキ電圧印加用電極5と電源8を図に示すように結線し、Siウエハ1を陰極に、メッキ用電極7を陽極として電解メッキを行い、所定膜厚のCu膜をシード層上に形成する。

【0022】次に、図2及び図3に沿ってCu多層配線形成工程を説明する。なお、図2及び図3に示す工程断面図は、図1に示すSiウエハ1内に設けられたメッキ電圧給電部であるメッキ電圧印加用電極5及び導電性プラグ6周辺の断面図を拡大して示す。

【0023】まず、図2（a）に示すように、Siウエハ1の表面に層間絶縁膜20を堆積する。次いで、Siウエハ1表面側あるいは裏面より、ウエハ1を貫通するようにプラグ形成位置にRIE等のエッチング技術を用いて穴を開ける。この貫通孔に金属を充填し、導電性プラグ6を形成する。貫通孔への金属充填は、導電ペーストの充填とその焼結を用いたり、W等の金属をCVD法を用いて充填したり、スパッタリング法により貫通孔内面にAl膜等を堆積させることにより行う。

【0024】次にSiウエハ1裏面（図2、3におけるSiウエハ1下面に相当）にAl等の金属薄膜を堆積し、この金属薄膜をパターンニングすることによりメッキ電圧をウエハへ印加するためのメッキ電圧印加用電極5を形成する。パターンニングは、導電性プラグ6とメッキ電圧印加用電極5が電気的に接続されるように形成する。

【0025】次いで、Siウエハ1表面に形成された層

間絶縁膜20に溝を形成し、この溝にスパッタリング法等の成膜技術を用いて導電性材料Cuを埋め込む。次いで、CMP等のエッチバック技術を用いて溝内部以外のCu膜を除去し、層間絶縁膜20中に第1配線層21を形成する。このとき、導電性プラグ6の直上にも埋め込み型の第1電極22もしくは配線を形成する。なお、第1配線層21下方のシリコンウエハ1表面には、図示しないトランジスタ等の能動素子を通常の半導体装置製造方法を用いて形成してある。

【0026】なお、メッキ電圧印加用電極5、導電性プラグ6、第1配線層21の形成は上述の順序に限定されるものではなく、図2（a）に示す構造が形成される限りにおいてその順序を任意に変更することが可能である。

【0027】第1配線層21形成後、層間絶縁膜20表面に層間絶縁膜23を所定膜厚堆積し、通常のリソグラフィ技術とRIE等の異方性エッチング技術を用いてビアホール24および第2配線溝25を形成する（図2（b））。この時、同時に第1電極22に接する位置にもホール26と溝27とを形成する。

【0028】次に、Siウエハ1表面及び層間絶縁膜20表面全体にTa等の密着層（図示せず）やTiN等のCu拡散防止層（図示せず）をホール径や溝幅に比べて十分薄い膜厚で堆積する。これらの薄膜の堆積はスパッタリング法により行うが、CVD法等の他の成膜方法を使用することも可能である。引き続き図2（c）に示すようにCu薄膜を露出した第1配線層21、第1電極22を含む層間絶縁膜23表面全面にスパッタリング法により堆積し、シード層28を形成する。このシード層28の膜厚は10nmとする。この時点でSiウエハ1裏面に形成されたメッキ電圧印加用電極5とSiウエハ1表面側のシード層28はプラグ6および電極22を介して電気的に接続される。なお、シード層28の堆積方法として本実施形態ではスパッタリング法を用いたが、段差被覆性のより優れた薄膜を形成することのできるCVD法や無電解メッキ法を用いても良い。

【0029】このようにして用意した半導体素子を図1に示す電解メッキ槽4に設置する。この時、図3（d）に示したように電圧印加用端子31をSiウエハ1裏面のメッキ電圧印加用電極5に押し付け、Siウエハ1裏面側のメッキ電圧印加用電極5から電圧を印加する。この電圧の印加により、メッキ電圧印加用電極5に電気的に接続された導電性プラグ6、第1電極22を介してシード層28に電圧が供給される。この電圧供給によりシード層28上に電解液からCuを還元析出させて、所定膜厚のCu膜32を形成する。これによりビアホール24、配線溝25、ホール26及び溝27をCuで埋め込むことができる。

【0030】次に、CMP法を用いて上記24～27の内部以外のCu膜32を除去することにより、図3

(e) に示したようにビアプラグ 32a、第 2 配線層 32b、給電用プラグ 32c および第 2 電極 32d を形成することができる。この時点で給電用プラグ 32c および第 2 電極 32d、メッキ電圧印加用電極 5、導電性プラグ 6 と半導体装置の配線部である第 1 配線層 21、ビアプラグ 32a、第 2 配線層 32b は電氣的に絶縁されるので、給電用プラグ 32c を Si ウェハ 1 内に設けたことによる半導体装置への影響はない。

【0031】以上に示した図 2 (b) ~ 図 3 (e) の工程と同一の工程を繰り返すことにより、図 3 (f) に示したようにさらに層間絶縁膜 33 にシード層 28 を介してビアプラグ 35a、第 3 配線層 35b、給電用プラグ 35c 及び第 3 電極 35d を形成することができる。なお、本実施形態では 3 層の多層配線を形成する場合を示したが、4 層以上の多層配線を形成する工程も上記図 2 (b) ~ 図 3 (e) の工程と同一の工程を繰り返すことにより容易に実現可能である。

【0032】(第 2 実施形態) 図 4 は本発明の第 2 実施形態に係る半導体装置の製造方法を説明するための図である。本実施形態は、第 1 実施形態で説明した方法により形成した多層配線層を有する半導体装置を利用して、垂直積層集積回路を形成する方法に関する。

【0033】第 1 実施形態の図 3 (f) に示す多層配線形成の後には、Si ウェハ 1 内に、Si ウェハ 1 を貫通する形で一連の導電性プラグ 6 と第 1 電極 22、給電用プラグ 32c、第 2 電極 32d、給電用プラグ 35c、第 3 電極 35d 等が残置される。以下、これら Si ウェハ 1 を貫通して形成された導電部を貫通プラグ 41 と呼ぶ。

【0034】図 4 は本実施形態に係る半導体装置の製造方法により形成された垂直積層集積回路の模式断面図である。図 3 (f) に示したように個々の半導体チップ 36 を形成した後、この半導体チップ 36 を貫通する複数の貫通プラグ 41 上の少なくとも一部にバンプ用電極 42 を形成する。半導体チップ 36 の裏面に形成済みのメッキ電圧印加用電極 5 はそのまま裏面バンプ用電極として用いることができる。これらのバンプ電極をハンダ 43 等で接続することにより垂直積層回路が形成できる。

【0035】なお、導電性プラグとチップ内多層配線との電氣的接続は図 3 (e) において、例えば第 3 電極 35d から所望のチップ内配線へ引き出し線を形成することで可能となる。

【0036】以上説明したように、半導体チップ 36 を貫通する貫通プラグ 41 を利用して半導体チップ 36 間を電氣的に接続すれば、新たに貫通プラグ 41 を形成する工程を付加することなく半導体チップを複数個垂直に積層してなる集積回路装置を容易に形成することができる。

【0037】

【発明の効果】以上説明したように本発明によれば、電解メッキにより導電性薄膜を形成すべき半導体基板に、その基板厚さ方向に貫通する導電性プラグを形成し、このプラグを介して電圧を導電層表面に印加する。これにより、半導体基板内の任意の位置に複数個電圧の印加点を設けることができ、電解メッキ時の導電層表面での電位分布の不均一性を小さくすることができ、均一性の良好な導電性薄膜を形成することが可能となる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態に係る半導体装置の製造方法を説明するための図。

【図 2】同実施形態における半導体装置の製造方法を示す工程断面図。

【図 3】同実施形態における半導体装置の製造方法を示す工程断面図。

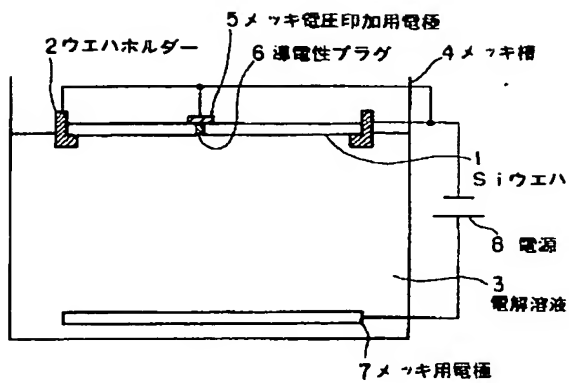
【図 4】本発明の第 2 実施形態に係る垂直積層半導体装置の構成を示す断面図。

【図 5】従来の電解メッキ方法を示す図

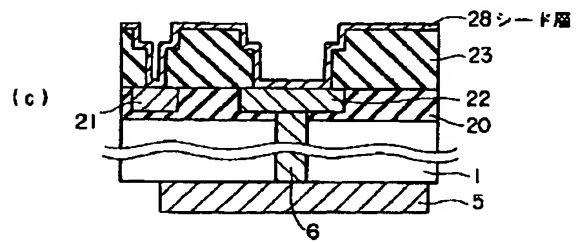
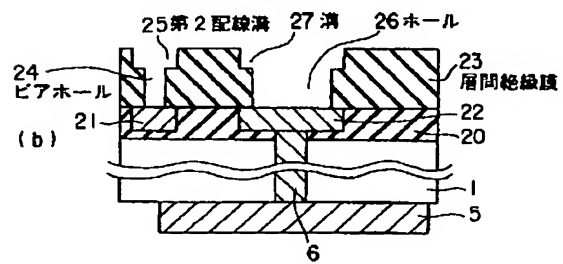
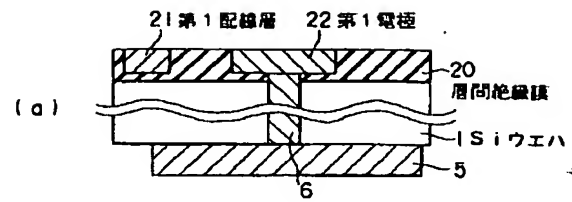
【符号の説明】

- 1…シリコンウェハ
- 2…ウェハホルダー
- 3…電解液
- 4…メッキ槽
- 5…メッキ電圧印加用電極
- 6…導電性プラグ
- 7…メッキ用電極
- 8…電源
- 20, 23, 33…層間絶縁膜
- 21…第 1 配線層
- 22…第 1 電極
- 24…ビアホール
- 25…第 2 配線溝
- 26…ホール
- 27…溝
- 28, 34…シード層
- 31…電圧印加用端子
- 32…Cu 膜
- 32a, 35a…ビアプラグ
- 32b…第 2 配線層
- 32c, 35c…給電用プラグ
- 32d…第 2 電極
- 35b…第 3 配線層
- 35d…第 3 電極
- 36…半導体チップ
- 41…貫通プラグ
- 42…バンプ用電極
- 43…ハンダ

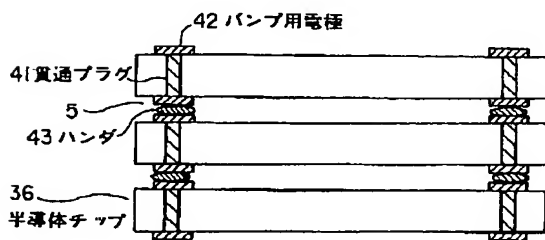
【図1】



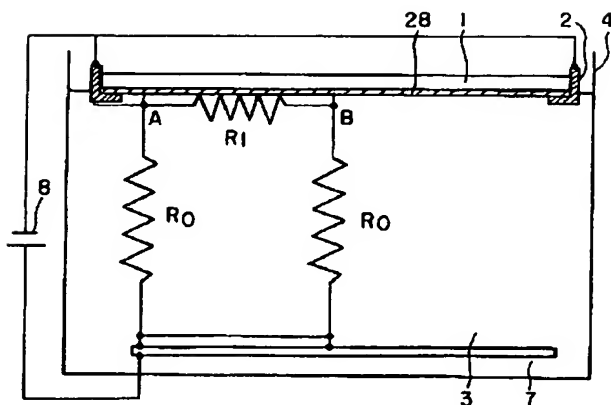
【図2】



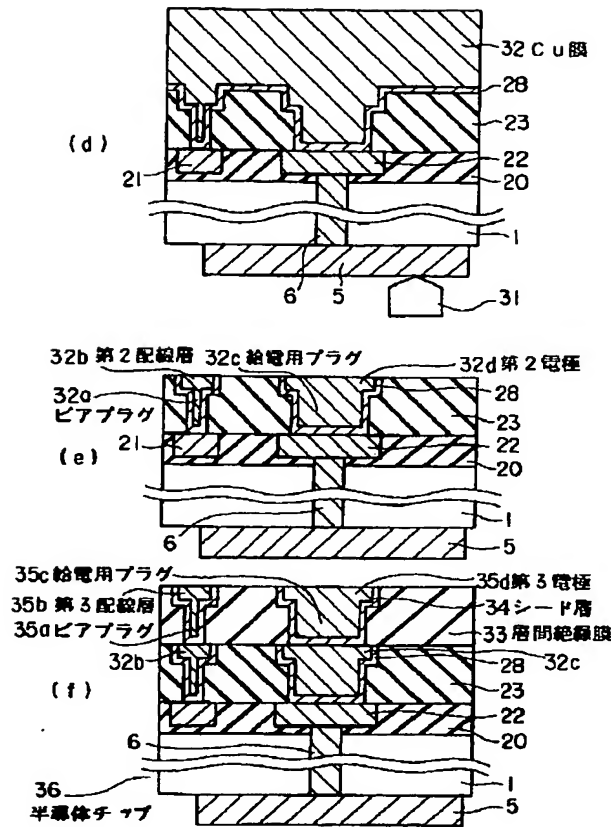
【図4】



【図5】



【図 3】



フロントページの続き

(72)発明者 松能 正
大分県大分市大字松岡3500番地 株式会社
東芝大分工場内
(72)発明者 エム・ビー・アナン
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72)発明者 松田 哲朗
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

Fターム(参考) 4K024 AA09 AB01 AB15 BA11 BB12
BC10 CB02 CB04 CB06 CB21
DB07 FA01 GA16
4M104 BB02 BB04 BB17 BB18 BB30
DD37 DD43 DD52 DD66 FF02
FF07 FF09 FF16 FF21
5F033 AA02 AA04 AA05 AA10 AA13
AA29 AA66 BA12 BA15 BA17
BA21 BA25 CA03 DA13